

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-003070

(43)Date of publication of application : 06.01.1999

(51)Int.Cl.

G09G 3/36

G02F 1/133

(21)Application number : 10-107454

(71)Applicant : FUJITSU LTD

(22)Date of filing : 17.04.1998

(72)Inventor : FURUKOSHI YASUTAKE

(30)Priority

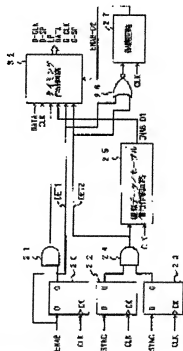
Priority number : 09101606 Priority date : 18.04.1997 Priority country : JP

(54) CONTROLLER FOR LIQUID CRYSTAL DISPLAY PANEL, CONTROL METHOD, AND LIQUID CRYSTAL DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To enable to display surely picture data from the leading of a liquid crystal display panel by detecting a data-enable signal being made active while picture data is supplied to a panel, and controlling display timing.

SOLUTION: A D flip-flop 20 is synchronized with a clock signal from a picture data supplying source, latches a data-enable signal ENAB, and detects it. When an output of the D flip-flop 20 is made to be a H level, that is, a data-enable signal ENAB is supplied from the picture data supplying source, a timing making circuit 32 outputs a clock D-CLK for data driver, a start pulse D-SP for data driver, a latch pulse LP, picture data DATD, a clock G-CLK for gate driver, and a start pulse G-SP for gate driver so that display timing of picture data in a liquid crystal display panel can be controlled with display timing based on the data-enable signal ENAB outputted from an AND circuit 21.



LEGAL STATUS

[Date of request for examination]

04.04.2005

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

【特許請求の範囲】

【請求項1】 液晶表示パネルのタイミングコントローラにおいて、

タイミングコントローラに与えられるデータライン信号を検出するデータライン信号検出回路と、
検出されたデータライン信号に基づいて、液晶表示パネルに表示する画像データの表示タイミングを制御するタイミング作成回路とを有することを特徴とするタイミングコントローラ。

【請求項2】 データライン信号から、液晶表示パネルの各ラインの駆動を開始させるための第1のスタートパルスを作成する第1の回路と、データライン信号から、液晶表示パネルの走査ラインの駆動を開始させるための第2のスタートパルスを作成する第2の回路とを有することを特徴とする請求項1記載のタイミングコントローラ。

【請求項3】 タイミング作成回路は、データライン信号に基づいて、各フレームの開始を検出する回路部分を有することを特徴とする請求項1記載のタイミングコントローラ。

【請求項4】 前記タイミングコントローラは更に、水平及び垂直同期信号を検出する同期信号検出回路と、データライン信号検出回路がデータライン信号を検出しないうちにおいて、水平及び垂直同期信号が検出された場合に、擬似データライン信号を生成する擬似データライン信号生成回路とを有し、タイミング作成回路は擬似データライン信号に基づいて画像データの表示タイミングを制御することを特徴とする請求項1記載のタイミングコントローラ。

【請求項5】 前記タイミングコントローラは更に、水平及び垂直同期信号を検出する同期信号検出回路と、水平及び垂直同期信号が検出されない場合に擬似データライン信号を生成する保護回路とを有し、タイミング作成回路は擬似データライン信号に基づいて画像データの表示タイミングを制御することを特徴とする請求項1記載のタイミングコントローラ。

【請求項6】 液晶表示パネルの表示タイミングを制御する方法において、
タイミングコントローラに与えられるデータライン信号を検出し、

検出したデータライン信号に基づいて、液晶表示パネルに表示する画像データの表示タイミングを制御することを特徴とする方法。

【請求項7】 信号ライン及び走査ラインを有する液晶表示パネルと、

信号ラインを駆動するゲートドライバと、
走査ラインを駆動するゲートドライバと、
液晶表示パネルに表示する画像データの表示タイミングを制御するタイミングコントローラとを有し、
タイミングコントローラは、

タイミングコントローラに与えられるデータライン信号を検出するデータライン信号検出回路と、
検出されたデータライン信号に基づいて、液晶表示パネルに表示する画像データの表示タイミングを制御するタイミング作成回路とを有することを特徴とする液晶表示装置。

【請求項8】 前記タイミングコントローラは請求項2ないし5のいずれか一項に記載されているタイミングコントローラであることを特徴とする液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、液晶表示パネルを駆動するドライバを制御して、液晶表示パネルにおける画像データの表示タイミングを制御する液晶表示装置用タイミングコントローラに関する。

【0002】

【従来の技術】 図1はXGA(1024×768ドット)タイプの従来の液晶表示装置の一例の要部を示す回路図であり、図1中、10はアクティブマトリクス型の液晶表示パネル、11は液晶表示パネル10に形成されているデータバス(信号ライン)を駆動するデータドライバ、12は液晶表示パネル10に形成されているゲートバス(走査ライン)を駆動するゲートドライバである。

【0003】 また、13は画像データ供給源(図示せず)から供給される垂直同期信号VSYNC、水平同期信号HSYNC、クロックCLK、データライン信号ENAB及び画像データDATAを入力し、垂直同期信号VSYNC及び水平同期信号HSYNCに基づいて表示タイミングにより、液晶表示パネル10における画像データDATAの表示タイミングを制御する液晶表示装置用タイミングコントローラである。

【0004】 なお、この例では、液晶表示装置用タイミングコントローラ13は、ゲートドライバ11に対しては、ゲートドライバ用クロックDCLKと、ゲートドライバ用スタートパルスDSPと、ラッチパルスLPと、画像データDATAとを供給し、ゲートドライバ12に対しては、ゲートドライバ用クロックGCLK及びゲートドライバ用スタートパルスGSPとを供給するように構成されている。

【0005】 図2は図1に示す従来の液晶表示装置の水平方向の駆動タイミングを示すタイミングチャートであり、図2Aは水平同期信号HSYNC、図2BはクロックCLK、図2Cは画像データDATA、図11Dはデータライン信号ENABを示している。なお、Thは水平同期期間、Thpは水平保持期間、Thdは表示有効期間、Thbは表示有効期間Thdのハックポーチ、Thfは表示有効期間Thdのフロントポーチである。

【0006】 図3は図1に示す従来の液晶表示装置の垂

3

直方向の駆動タイミングを示すタイミングチャートであり、図3Aは垂直同期信号VSYNC、図3Bは水平同期信号HSYNC、図3Cは画像データDATA、図3Dはデータラインバースト信号ENABを示している。なお、Tvは垂直周期期間、Tvbは垂直帰線期間、Tvdは表示有効期間、Tvbは表示有効期間Tvdのバックポーチ、Tvfは表示有効期間Tvdのフロントポーチである。

【0007】図4は図1に示す従来の液晶表示装置の1垂直周期期間におけるデータ表示領域とブラंक領域との関係を示す図であり、図4中、15はデータ表示領域、16はブラंक領域を示している。データ表示領域15は、パネルの画素領域に対応し、データの大きさは画素数に一致する。また、データ表示領域15とブラंक領域16を合わせたものが実際に液晶表示装置に送られてくるデータ（の大きさ）であり、画像データに加えて、表示に關与しないデータ（無効データ；例えば“LOW”の信号であり、画像データの供給が無い状態とみなすことができる）も含むものである。

【0008】

【発明が解決しようとする課題】従来の液晶表示装置用タイミングコントローラ13は、水平方向及び垂直方向のバックポーチThb、Tvb及びフロントポーチThf、Tvfの設定値を固定とされており、これらバックポーチThb、Tvb及びフロントポーチThf、Tvfで決定される表示タイミングで液晶表示パネル10における画像表示を行うようにデータドライバ11及びゲートドライバ12を制御するように構成されている。

【0009】したがって、従来の液晶表示装置用タイミングコントローラ13は、特定の表示タイミングで画像表示を行うとするパーソナルコンピュータ等のみに対応することができ、表示タイミングを異にするパーソナルコンピュータ等に使用する場合には、表示不良や表示位置ずれを起こしてしまうことになる。図4に示すように、バックポーチThb、Tvbの固定値が最初のライン上であって1024クロックの最初のクロックで走査されるデータ表示領域15の開始画素を正確に示している場合には、データラインバースト信号ENABに同期してデータ有効期間Thd、Tvdにおいて画像データがデータ表示領域15に正しく表示される。

【0010】バックポーチThb、Tvbの固定値及びフロントポーチThf、Tvfの固定値は、液晶表示装置が搭載される電子装置のタイミング仕様に依存する。例えば、電子装置のタイミング仕様を最初に決め、このタイミング仕様に合うようにバックポーチThb、Tvbの固定値及びフロントポーチThf、Tvfの固定値を決める。又は、バックポーチThb、Tvbの固定値及びフロントポーチThf、Tvfの固定値に合うように、電子装置のタイミング仕様を決める。

【0011】もし、バックポーチThb、Tvbの固定

4

値及びフロントポーチThf、Tvfの固定値が電子装置のタイミング仕様に合致しないときには、画像データをデータ表示領域15に正確に表示することはできない。例えば、画像データは水平及び/又は垂直方向にズレてデータ表示領域15に表示され、画像の一部が失われてしまう。

【0012】よって、タイミングコントローラ13は、液晶表示装置が搭載される電子装置の種々のタイミング仕様に適用できるものではなく、特定のタイミング仕様のみに適用できる。実際、搭載される電子装置の異なるタイミング仕様に合致するように、タイミングコントローラ13を個々に設計する必要がある。通常、タイミングコントローラ13の設計にはかなりの時間（例えば、約1カ月）を要し、量産品出荷までには長期間（例えば、約2カ月）が必要となってしまう。このため、液晶表示装置を備えるパーソナルコンピュータ等、液晶表示装置用タイミングコントローラを必要とする製品の開発を迅速に行うことができないという問題点があった。

【0013】本発明は上記従来技術の問題点を解決し、液晶表示装置が搭載される電子装置の種々のタイミング仕様に適用できる液晶表示パネル用のコントローラを提供することを目的とする。

【0014】

【課題を解決するための手段】請求項1に記載の液晶表示パネルのタイミングコントローラは、タイミングコントローラに与えられるデータラインバースト信号を抽出するデータラインバースト信号抽出回路（後述する実施例の回路20に相当する）と、抽出されたデータラインバースト信号に基づいて、液晶表示パネルに表示する画像データの表示タイミングを制御するタイミング作成回路（32）とを有する。

【0015】データラインバースト信号は、画像データがパネルに供給されている間にアクティブになる信号である。データラインバースト信号がアクティブになるタイミングは任意であるが、必ず画像データに同期している。よって、このデータラインバースト信号を検出して表示タイミングを制御することとすれば、画像データの表示タイミングを制御できる。すなわち、データラインバースト信号を検出することにより、表示を開始する構成とすれば、データラインバースト信号がアクティブになるタイミングがいつでも、確実に液晶表示パネルの先頭から画像データを表示することができるようになる。よって、従来のように、水平及び垂直同期信号のバックポーチ、フロントポーチに關係なく、自由に表示タイミングの制御が可能になり、電子装置のあらゆる表示タイミング仕様に対応できる。

【0016】請求項2に記載のタイミングコントローラは、請求項1において、データラインバースト信号から、液晶表示パネルの各ラインの駆動を開始させるための第1のスタートパルスを作成する第1の回路（図15C）

5

と、データライン信号から、液晶表示パネルの走査ラインの駆動を開始させるための第2のスタートパルスを作成する第2の回路(図15F)とを有することを特徴とする。

【0017】上記構成により、パネル駆動の開始タイミングを、検出したデータライン信号に基づいて決めることができるので、データライン信号がどのタイミングでアクティブになっても、確実に液晶表示パネルの先頭から画像データを表示することができる。請求項3に記載のタイミングコントローラでは、請求項1のタイミング作成回路が、データライン信号に基づいて、各フレームの開始を検出する回路部分(15F)を有する。

【0018】従来、フレーム間の識別は同期信号(垂直同期信号)を用いていたが、データライン信号に基づいてフレーム間の識別を行う。これは、請求項1に記載の発明の表示タイミングの制御は、同期信号によらず、データライン信号に基づいて行われるからである。請求項4に記載の発明では、請求項1のタイミングコントローラは更に、水平及び垂直同期信号を検出する同期信号検出回路(22、23、24)と、データライン信号検出回路がデータライン信号を検出しないうちに、水平及び垂直同期信号が検出された場合に、擬似データライン信号を生成する擬似データライン信号作成回路(25)とを有し、タイミング作成回路は擬似データライン信号に基づいて画像データの表示タイミングを制御する。

【0019】外部からのデータライン信号の供給が何らかの原因で停止しても、擬似的にデータライン信号を作成することにより、表示を継続して行える。また、水平及び垂直同期信号を検出しているので、従来と同様の表示タイミング制御も行うことができ、ユーザの要望にフレキシブルに対応できる。請求項5に記載の発明では、請求項1に記載の前記タイミングコントローラは更に、水平及び垂直同期信号を検出する同期信号検出回路(22、23、24)と、水平及び垂直同期信号が検出されない場合に擬似データライン信号を生成する保護回路(27)とを有し、タイミング作成回路は擬似データライン信号に基づいて画像データの表示タイミングを制御する。

【0020】この構成によれば、障害等により水平及び垂直同期信号及びデータライン信号が供給されない(検出されない)場合でも、擬似データライン信号を生成しているので、液晶表示パネルを交流駆動して黒又は白等の所定の画像データを表示することができ、液晶表示パネルの各画素の液晶に直流電圧が印加され続けることを防ぐことができる。

【0021】請求項6に記載の発明は、液晶表示パネルの表示タイミングを制御する方法において、タイミングコントローラに与えられるデータライン信号を検出

6

し、検出したデータライン信号に基づいて、液晶表示パネルに表示する画像データの表示タイミングを制御することを特徴とする方法である。請求項1と同様の作用、効果が得られる。

【0022】請求項7に記載の発明は、信号ライン及び走査ラインを有する液晶表示パネルと、信号ラインを駆動するデータドライバと、走査ラインを駆動するゲートドライバと、液晶表示パネルに表示する画像データの表示タイミングを制御するのタイミングコントローラとを有し、タイミングコントローラは、タイミングコントローラに与えられるデータライン信号を検出するデータライン信号検出回路と、検出されたデータライン信号に基づいて、液晶表示パネルに表示する画像データの表示タイミングを制御するタイミング作成回路とを有する液晶表示装置である。請求項1に記載の発明の効果を具備する液晶表示装置が得られる。

【0023】請求項8に記載の発明は、前記タイミングコントローラは請求項2ないし5のいずれか一項に記載されているタイミングコントローラである。前述した請求項2ないし5の効果を具備する液晶表示装置が得られる。

【0024】

【発明の実施の形態】図5は、本発明の一実施例によるタイミングコントローラの構成を示す図である。図示するタイミングコントローラは、図1のタイミングコントローラ13に置き換わるものである。すなわち、本発明の液晶表示装置は、図5に示すタイミングコントローラ、データドライバ11、ゲートドライバ12及び液晶表示パネル10を具備する。

【0025】図5に示すタイミングコントローラは、従来技術のようにバックボートH_{bb}、T_{vb}の固定値及びフロントボートH_{fb}、T_{fv}の固定値を用いた表示タイミング制御とは異なる3つの表示タイミング制御モードを有する。第1の表示タイミング制御モードは従来の表示タイミング制御に直接代わるもので、第2及び第3の表示タイミング制御モードは第1のモードのバックアップ又は付加的なものである。すなわち、第2及び第3の表示タイミング制御モードはオプションモードであり、無くてもよいものである。

【0026】図5に示すタイミングコントローラは、Dフリップフロップ20、22及び23、AND回路25、26、擬似データライン信号作成回路25、NOR回路26、保護回路27及びタイミング作成回路32とを有する。第1の表示タイミング制御モードは概ね、Dフリップフロップ20、AND回路21及びタイミング作成回路32とで実現される。第2の表示タイミング制御モードは概ね、Dフリップフロップ23、23、AND回路24、擬似データライン信号作成回路25及びタイミング作成回路32とを有する。第3の表示タイミング制御モードは概ね、NOR回路26、保

7

護回路27及びタイミング作成回路32とを有する。

【0027】Dフリップフロップは、図示しない外部の画像データ供給源からのクロック信号に同期してデータイネーブル信号ENABをラッチするもので、データイネーブル信号検出器として機能する。データイネーブル信号ENABも同様に、図示しない外部の画像データ供給源で生成されるものである。データイネーブル信号ENABがアクティブになった時に、画像データ供給源で生成された画像データの供給が始まる。後で詳述するように、第1の表示タイミング制御モードはデータイネーブル信号ENABを利用して、表示タイミングを制御する。

【0028】AND回路21は、データイネーブル信号ENABとDフリップフロップ20の出力信号DET1とのAND演算を行う。データイネーブル信号ENABが画像データ供給源から供給されると、Dフリップフロップ20の出力信号DET1は高電位（Hレベル）になる。従って、データイネーブル信号ENABがAND回路21から出力される。データイネーブル信号が供給されない場合には、Dフリップフロップ20の出力信号DET1は低電位（Lレベル）であり、AND回路21の出力はLレベルである。

【0029】Dフリップフロップ22はクロックCLKに同期して水平同期信号HSYNCをラッチするもので、水平同期信号検出器として機能する。Dフリップフロップ23はクロック信号CLKに同期して垂直同期信号VSYNCをラッチするもので、垂直同期信号検出器として機能する。AND回路24は、Dフリップフロップ22、23の出力信号のAND演算を行う。Dフリップフロップ22、23及びAND回路24で、水平/垂直同期信号検出回路を構成する。

【0030】水平同期信号HSYNC及び垂直同期信号VSYNCは、画像データ供給源から供給される。そして、Dフリップフロップ22、23の出力信号はHレベルになり、AND回路24の出力信号DET2はHレベルになる。AND回路24の出力信号DET2は、タイミング作成回路32に与えられる。もし、水平同期信号HSYNC及び垂直同期信号VSYNCが画像データ供給源から供給されない場合には、Dフリップフロップ22、23の出力信号はLレベルであり、AND回路24の出力はLレベルになる。

【0031】擬似データイネーブル信号作成回路25は、画像データ供給源からのクロックCLKとAND回路24の出力信号DET2とを受け、AND回路24の出力信号DET2がHレベルになった後の所定のタイミングで擬似データイネーブル信号ENAB-D1を作成する。擬似データイネーブル信号ENAB-D1は、タイミング作成回路32に出力される。

【0032】NOR回路26はDフリップフロップ20の出力信号DET1とAND回路24の出力信号DET

8

2とのNOR演算を行う。Dフリップフロップ20の出力信号DET1がHレベルになった場合、即ち、画像データ供給源からデータイネーブル信号ENABが供給された場合、又は、AND回路24の出力信号DET2がHレベルになった場合、即ち、画像データ供給源から水平同期信号HSYNC及び垂直同期信号VSYNCが供給された場合には、NOR回路26の出力信号がLレベルになる。

【0033】これに対して、Dフリップフロップ20の出力信号がLレベル、AND回路24の出力信号DET2がLレベルの場合、即ち、画像データ供給源からデータイネーブル信号ENAB、水平同期信号HSYNC及び垂直同期信号VSYNCが供給されない場合には、NOR回路26の出力はHレベルとなる。また、27は画像データ供給源から供給されるクロックCLK及びNOR回路26の出力を入力して、NOR回路26の出力がHレベルとされた場合、即ち、画像データ供給源からデータイネーブル信号ENAB、水平同期信号HSYNC及び垂直同期信号VSYNCが供給されない場合には、

擬似データイネーブル信号ENAB-D2を出力する保護回路である。

【0034】図6は、保護回路27の構成を示す回路図であり、図6中、29はNOR回路26の出力がHレベルとされた場合、擬似水平同期信号HSYNC-Dを作成して出力する擬似水平同期信号作成回路である。また、30は擬似水平同期信号作成回路29が擬似水平同期信号HSYNC-Dを出力したときは、擬似データイネーブル信号ENAB-D2を作成して出力する擬似データイネーブル信号作成回路である。

【0035】また、図5において、32は液晶表示パネルにおける画像データDATAの表示タイミングを制御するタイミング作成回路であり、タイミング作成回路32には、画像データ供給源から供給される画像データDATAと、クロックCLKと、AND回路21の出力と、擬似データイネーブル信号作成回路25の出力と、Dフリップフロップ20の出力と、AND回路24の出力と、保護回路27の出力とが供給される。

【0036】これに対応して、タイミング作成回路32は、液晶表示パネルのデータバスを駆動するデータドライバにに対しては、データドライバ用クロックD-CLKと、データドライバ用スタートパルスD-SPと、ラッチパルスLP及び画像データDATAとを供給し、液晶表示パネルのゲートバスを駆動するゲートドライバに対しては、ゲートドライバ用クロックG-CLKと、ゲートドライバ用スタートパルスG-SPとを供給するように構成されている。

【0037】図7はDフリップフロップ20の出力=Hレベルとなった場合のタイミング作成回路32の動作を示すタイミングチャートであり、図7Aは画像データ供給源から供給される垂直同期信号VSYNCと、水平同

期信号H SYNCと、データライン用信号ENABと、クロックCLKと、画像データDATAとを示している。

【0038】また、図7Bはデータドライバに供給されるデータライン用クロックD-CLKと、データドライバ用スタートパルスD-SPと、ラッチパルスLPと、画像データDATAとを示しており、図7Cはゲートドライバに供給されるゲートドライバ用クロックG-CLKと、ゲートドライバ用スタートパルスG-SPとを示している。

【0039】このように、タイミング作成回路32は、Dフリップフロップ20の出力=Hレベルとなった場合、即ち、画像データ供給源からデータライン用信号ENABが供給された場合には、AND回路21から出力されるデータライン用信号ENABに基づく表示タイミングにより液晶表示パネルにおける画像データの表示タイミングを制御できるように、データドライバ用クロックD-CLK、データドライバ用スタートパルスD-SP、ラッチパルスLP、画像データDATA、ゲートドライバ用クロックG-CLK及びゲートドライバ用スタートパルスG-SPを出力する。

【0040】図7に示すように、Dフリップフロップ20の出力信号DET1がHレベルになると、即ち、データライン用信号ENABが画像データ供給源から供給されると、タイミング作成回路32は同期信号V SYNC、H SYNCがLレベルであっても、AND回路21から供給されるデータライン用信号ENABに基づいた表示タイミングを制御する。このタイミング制御は、図2に示す従来の表示タイミング制御とは全く異なる。

【0041】より詳述すると、データライン用信号ENABがHレベルの間、画像データDATAが供給される。図7において、データライン用信号ENABの立ち上がりエッジ*1は、表示パネル10の第1ラインに相当する。1フレーム（画面）を構成する各ラインに対し画像データ供給源から供給されている間、データライン用信号ENABはHレベルに保持される。

【0042】データライン用信号の立ち上がりエッジ*1に反応して、データドライバ用スタートパルスD-SPはタイミング作成回路32によって生成され、データドライバ11に出力される。更に、データライン用信号ENABの立ち上がりエッジ*1に反応して、ゲートドライバ用スタートパルスG-SPがタイミング作成回路32によって生成され、ゲートドライバ12に出力される。ゲートドライバ用スタートパルスG-SPは、第1ラインの間、Hレベルに保持される。従ってゲートドライバ用スタートパルスD-SPは、第2ラインを示すデータライン用信号ENABの立ち上がりエッジ*2に反応して、Lレベルになる。

【0043】更に、後述するように、データライン用信号ENABを参照して、ラッチパルスLP及びゲート

ドライバ用クロックG-CLKがタイミング作成回路32によって作成される。更に、後述するように、タイミング作成回路32によって、クロックCLKからデータドライバ用クロックD-CLKが作成される。上述したように、データライン用信号ENABのみを検出することで、最初に走査される表示パネル10の第1番目の画素から確実に画像データDATAを表示することができる。上記制御は、第1の表示タイミング制御モードに相当する。

10 【0044】ここに、図8は画像データ供給源から供給される垂直同期信号V SYNCと、水平同期信号H SYNCと、データライン用信号ENABと、クロックCLKと、画像データDATAとを示している。また、図9Aは画像データ供給源から供給される水平同期信号H SYNCと、クロックCLKと、画像データDATAとを示しており、図9Bは疑似データライン用信号作成回路25から出力される疑似データライン用信号ENAB-D1を示している。

【0045】また、図9Cはデータドライバに供給されるデータドライバ用クロックD-CLKと、データドライバ用スタートパルスD-SPと、ラッチパルスLPと、画像データDATAとを示しており、図9Dはゲートドライバに供給されるゲートドライバ用クロックG-CLKと、ゲートドライバ用スタートパルスG-SPとを示している。

【0046】このように、タイミング作成回路32は、Dフリップフロップ20の出力=Lレベルが維持され、AND回路24の出力=Hレベルとなった場合、即ち、画像データ供給源からデータライン用信号ENABが供給されず、水平同期信号H SYNC及び垂直同期信号V SYNCが供給された場合には、疑似データライン用信号ENAB-D1に基づく表示タイミングにより液晶表示パネルにおける画像データの表示タイミングを制御できるように、データドライバ用クロックD-CLK、データドライバ用スタートパルスD-SP、ラッチパルスLP、画像データDATA、ゲートドライバ用クロックG-CLK及びゲートドライバ用スタートパルスG-SPを出力する。

【0047】例えば画像データ供給源に障害が発生し、画像データDATAは供給されていないもの、データライン用信号ENABの供給が停止してしまった場合、上記第1の表示タイミング制御モードでは画像データDATAを表示することはできない。このような場合には、疑似データライン用信号ENAB-D1を用いる。この疑似データライン用信号ENAB-D1は、AND回路24の出力信号DET2がHレベルになった後の所定のタイミングで作成される。従って、疑似データライン用信号ENAB-D1は画像データDATAに同期しておらず、画像データDATAは液晶表示パネル10上でずれてしまう可能性がある。しかしながら、

11

第2の表示タイミング制御モードは、データライン信号ENAB-ENABの供給が障害により停止してしまつた場合のバックアップモードとして機能する。

【0048】また、擬似データライン信号ENAB-D1が画像データDATAに同期するように前述のバックボーンThb、Tvb、Thf、Tvfを決めれば、第2の表示タイミング制御モードは従来と同様に特定のタイミング仕様に合致したものとなる。更に、第2の表示タイミング制御モードは、水平同期信号HSYNC及び垂直同期信号VSYNCは供給されるが、データライン信号ENABは供給されないタイミング仕様にも適用できる。

【0049】また、図10及び図11は、Dフリップフロップ20の出力=Lレベル、AND回路24の出力=Lレベルが維持された場合のタイミング作成回路32の動作(第3の表示タイミング制御)を示すタイミングチャートである。ここに、図10は画像データ供給源から供給される垂直同期信号VSYNCと、水平同期信号HSYNCと、データライン信号ENABと、クロックCLKと、画像データDATAとを示している。

【0050】また、図11Aは擬似水平同期信号作成回路29から出力される擬似水平同期信号HSYNCDと、擬似データライン信号作成回路30から出力される擬似データライン信号ENAB-D2と、画像データ供給源から供給されるクロックCLKとを示している。また、図11Bはデータドライバに供給されるデータドライバ用クロックD-CLKと、データドライバ用スタートパルスD-SPと、ラッチパルスLPと、画像データDATAとを示しており、図11Cはゲートドライバに供給されるゲートドライバ用クロックG-CLKと、ゲートドライバ用スタートパルスG-SPとを示している。

【0051】このように、タイミング作成回路32は、Dフリップフロップ20の出力=Lレベル、AND回路24の出力=Lレベルが維持された場合、即ち、画像データ供給源からデータライン信号ENAB、水平同期信号HSYNC及び垂直同期信号VSYNCが供給されない場合には、擬似データライン信号ENAB-D2に基づく表示タイミングにより液晶表示パネルにおける画像データDATAの表示タイミングを制御できるように、データドライバ用クロックD-CLK、データドライバ用スタートパルスD-SP、ラッチパルスLP、画像データDATA、ゲートドライバ用クロックG-CLK及びゲートドライバ用スタートパルスG-SPを出力する。

【0052】但し、この場合には、画像データ供給源からは画像データDATAが供給されないため、データドライバに対しては、タイミング作成回路32が作成した画像データDATAが供給されることになる。図12は本発明の一実施形態の動作を示すフローチャートであ

12

り、本発明の一実施形態においては、1フレーム期間が開始されること(ステップST1)に、画像データ供給源から供給される同期信号の中からデータライン信号ENAB(ステップST2)、水平同期信号HSYNC及び垂直同期信号VSYNCの検出が行われる(ステップST4)。

【0053】ここに、画像データ供給源からデータライン信号ENABが供給された場合には、Dフリップフロップ20の出力=Hレベルとなり、AND回路21からデータライン信号ENABが出力される。この結果、タイミング作成回路32においては、Dフリップフロップ20の出力=Hレベルとなったことに基づき、AND回路21から出力されるデータライン信号ENABに基づく表示タイミングにより液晶表示パネルにおける画像データDATAの表示タイミングを制御できるように、データドライバ及びゲートドライバに対する制御が行われる(ステップST3)。

【0054】これに対して、画像データ供給源からデータライン信号ENABが供給されず、水平同期信号HSYNC及び垂直同期信号VSYNCが供給された場合には、Dフリップフロップ20の出力=Lレベルが維持されると共に、AND回路24の出力=Hレベルとなり、擬似データライン信号作成回路25から擬似データライン信号ENAB-D1が出力される。

【0055】この結果、タイミング作成回路32においては、Dフリップフロップ20の出力=Lレベルが維持されると共に、AND回路24の出力=Hレベルとなったことに基づき、擬似データライン信号ENAB-D1に基づく表示タイミングにより液晶表示パネルにおける画像データの表示タイミングを制御できるように、データドライバ及びゲートドライバに対する制御が行われる(ステップST5)。

【0056】また、画像データ供給源からデータライン信号ENAB、水平同期信号HSYNC及び垂直同期信号VSYNCが供給されない場合には、Dフリップフロップ20の出力レベル=Lレベル、AND回路24の出力レベル=Lレベルが維持され、NOR回路26の出力=Hレベルとなる。この結果、保護回路27は、擬似データライン信号ENAB-D2を出力することになり、タイミング作成回路32は、擬似データライン信号ENAB-D2に基づく表示タイミングにより液晶表示パネルにおける画像データDATAの表示タイミングを制御できるように、データドライバ及びゲートドライバに対する制御が行われる(ステップST6)。

【0057】次に、図5に示すタイミング作成回路32の内部構成について説明する。図13、14及び15はタイミング作成回路32の内部構成を示すブロック図である。最初に、図13を参照して説明すると、タイミング作成回路32は、3-1セレクト41を有する。このセレクト41は、図5に示す検出信号DET1、DET

13

2に従い、3つの入力信号ENAB、ENAB-D1及びENAB-D2のうちから1つの信号を選択する。表1は、セレクト41の真理値表である。

【0058】

【表1】

S1	S2	D1	D2	D3	Q
H	L	H	-	-	H
H	L	L	-	-	L
L	H	-	H	-	H
L	H	-	L	-	L
L	L	-	-	H	H
L	L	-	-	L	L

【0059】選択されたデータイネーブル信号は、内部データイネーブル信号ENAB-INTとして、図14に示す回路部分に出力される。

【0060】図14に示す部分は、2つのフリップフロップ43、44、インバータ45、OR回路46及び12ビット2値カウンタ42を有する。選択されたデータイネーブル信号ENAB-INTはフリップフロップ43に与えられる。フリップフロップ43、44、インバータ45及びOR回路46は、内部データイネーブル信号ENAB-INTのLレベルからHレベルに変わる先頭部分を検出する。OR回路46の出力信号はリセット信号として、カウンタ42に与えられる。リセット信号に応答して、カウンタ42はクロックCLKのカウンタ動作を開始する。12ビット $2^0 \sim 2^{11}$ で表されるカウンタ値は、以下に説明するように、ゲートドライバ用クロックG-CLK、ラッチバースLP、データドライバ用スタートパルスD-SP、及びゲートドライバ用スタートパルスG-SPを作成するのに用いられる。

【0061】図15Aは、ゲートドライバ用クロックG-CLKを作成するタイミング作成回路32の対応する回路部分を示す。この回路部分は、デコーダ(#1)47、デコーダ(#2)48、及びJKフリップフロップ49を含む。デコーダ47、48は別々に12ビットのカウンタ値をデコードし、それぞれの所定のカウンタ値になったときに出力信号を作成してJKフリップフロップ49に出力する。そして、クロックCLKが供給されるJKフリップフロップ49から、ゲートドライバ用クロックG-CLKが出力される。

【0062】図15Bは、ラッチバースLPを作成するタイミング作成回路32の対応する回路部分を示す。この回路部分は、デコーダ(#3)50、デコーダ(#4)51及びJKフリップフロップ52を有する。デコーダ50、51は別々に12ビットのカウンタ値をデコードし、それぞれの所定のカウンタ値になったときに出力信号を作成してJKフリップフロップ52に出力す

14

る。そして、クロックCLKが供給されるJKフリップフロップ52から、ラッチバースLPが出力される。

【0063】図15Cは、ゲートドライバ用スタートパルスD-SPを生成するタイミング作成回路32の対応する回路部分を示す。図示する回路部分は、デコーダ(#5)53とフリップフロップ54とを有する。デコーダ53は、所定のカウンタ値をデコードしたときに出力信号をフリップフロップ54に出力する。クロックCLKが供給されるフリップフロップ54は、ゲートドライバ用スタートパルスD-SPを出力する。

【0064】図15Dは、クロックCLKからデータドライバ用クロックD-CLKを生成するデータドライバ用クロック作成回路55を示す。図15Eは、画像データDATAを出力するタイミング作成回路32の対応する回路部分を示す。図示する回路部分は、フリップフロップ56、セレクト57及びフリップフロップ58を有する。フリップフロップ56は、外部画像データ供給源からの画像データをラッチする。ラッチされた画像データはセレクト57に与えられる。セレクト57には、表示領域外表示色データ(白/黒)も与えられている。この色データは、画像データが供給されない場合に選択可能な第3の表示タイミング制御モードで用いられる。セレクト57は、データ選択信号に従い外部からの画像データDATA又は表示領域外表示色データのいずれかを選択する。上記データ選択信号は、図5に示すNOR回路26の出力信号に相当する。選択された画像データはフリップフロップ58にラッチされ、液晶表示パネル10に出力される。

【0065】図15Fは、ゲートドライバ用スタートパルスG-SPを出力するタイミング作成回路32の対応する回路部分を示す。図16は、この回路部分の動作を示すタイミングチャートである。図示する回路部分は、各フレームの先頭を検出し、第1番目のラインに相当する期間中に、内部データイネーブル信号ENAB-INTからゲートドライバ用スタートパルスG-SPを作成する。

【0066】図15Fに示す回路部分は、デコーダ(#6)59、保持回路60、先頭検出回路61、及びデータ有効端子を有するフリップフロップ62を具備している。先頭検出回路61は、フリップフロップ43、44、インバータ45及び図14に示すOR回路46を具備している。内部データイネーブル信号ENAB-INTが所定期間中にLレベルに保持されている場合、デコーダ59はHレベルのバースを出力する。このHレベルのバースは、保持回路60に保持される。そして、保持回路60に保持されたHレベルのバースは、HLDとして、フリップフロップ62のデータ端子に出力される。回路61は、内部データイネーブル信号ENAB-INTを検出する都度バースを出力する。回路61から出力されたバースはリセット信号として保持回路60に与え

15

られ、データ有効信号としてフリップフロップ62のデータ有効端子に与えられる。

【0067】1ラインが走査されている間において、所定の一定時間が経過する前に内部データライン信号ENAB-INTはHレベルからHレベルに切り替わる。降り合うライン間のブランキング期間において、内部データライン信号ENAB-INTはLレベルに保持される。このとき、デコダ59はパルスを出力する。このパルスは保持回路60に保持される。所定の一定期間経過後、内部データライン信号ENAB-INTはHレベルに切り替わる。これは、次のラインの先頭を示している。図16の*で示すパルスがフリップフロップ62のデータ有効端子に与えられる。フリップフロップ62はデータ端子を介して、Hレベル信号を受け取る。従って、内部データライン信号ENAB-INTの次の立ち上がりエッジが検出されるまで、フリップフロップ62の出力信号はHレベルに保持される。

【0068】以上説明したように、本発明の一実施形態によれば、画像データ供給源からデータライン信号ENABが供給される場合には、データライン信号ENABに基づく表示タイミングにより液晶表示パネルにおける画像データDATAの表示タイミングを制御することができる。したがって、液晶表示パネルにおける画像データDATAの表示タイミングを水平方向及び垂直方向のバックボート、フロントボートに依存させず、任意のタイミングで行うことができ、表示タイミングを異にする機器ごとに液晶表示装置用タイミングコントローラを設計する必要がないので、液晶表示装置を備えるパーソナルコンピュータ等、液晶表示装置用タイミングコントローラを必要とする製品の開発の迅速化を図ることができる。

【0069】また、本発明の一実施形態によれば、画像データ供給源からデータライン信号ENABが供給されず、水平同期信号HSYNC及び垂直同期信号VSYNCが供給された場合には、水平同期信号HSYNC及び垂直同期信号VSYNCに基づく表示タイミングにより液晶表示パネルにおける画像データDATAの表示タイミングを制御することができる。

【0070】したがって、障害等によりデータライン信号ENABが供給されなくて画像データの表示を行えなくなるとともに、従来の液晶表示装置用タイミングコントローラと同様に、水平方向及び垂直方向のバックボート、フロントボートに依存した、特定の表示タイミングでのみ画像表示のタイミングを制御することを希望するユーザーの要望に応えることができる。

【0071】また、本発明の一実施形態によれば、画像データ供給源からデータライン信号ENAB、水平同期信号HSYNC及び垂直同期信号VSYNCが供給されない場合においても、液晶表示パネルを交流駆動し、液晶表示パネルの各画素の液晶に直流電圧が印加さ

16

れ続けることを防ぐことができるので、液晶の劣化を抑制し、信頼性の向上を図ることができる。

【0072】また、本発明の一実施形態によれば、タイミング作成回路32は、データライン信号ENABあるいは擬似データライン信号ENAB-D1あるいは擬似データライン信号ENAB-D2に基づいて表示タイミングを作成するようにしている。したがって、図17に示すように、水平方向のブランク領域を水平方向のデータ表示領域の両側に数クロック分、例えば、2クロック分とし、垂直方向のブランク領域を垂直方向のデータ表示領域の上下に数クロック分、例えば、2クロック分とすることができ、従来例の場合よりも短い水平期間及び垂直期間で液晶表示パネルを駆動することができる。

【0073】

【発明の効果】請求項1に記載の液晶表示パネルのタイミングコントローラ、請求項6に記載の方法及び請求項7に記載の液晶表示装置によれば、画像データがパネルに供給されている間にアクティブになるデータライン信号を検出して表示タイミングを制御することとしたため、データライン信号を検出することにより表示を開始することができ、データライン信号がアクティブになるタイミングがいつでも、確実に液晶表示パネルの先頭から画像データを表示することができるようになる。よって、従来のように、水平及び垂直同期信号のバックボート、フロントボートに關係なく、自由に表示タイミングの制御が可能になり、電子装置のあらゆる表示タイミング仕様に対応できる。

【0074】請求項2に記載のタイミングコントローラによれば、パネル駆動の開始タイミングを、検出したデータライン信号に基づいて決めることができるので、データライン信号がどのタイミングでアクティブになっても、確実に液晶表示パネルの先頭から画像データを表示することができる。請求項3に記載のタイミングコントローラによれば、従来のようにフレーム間の識別は同期信号（垂直同期信号）を用いることなく、データライン信号に基づいてフレーム間の識別を行うことができる。

【0075】請求項4に記載のタイミングコントローラによれば、外部からのデータライン信号の供給が何らかの要因で停止しても、擬似的にデータライン信号を作成することにより、表示を継続して行うことができる。また、水平及び垂直同期信号を検出しているので、従来と同様の表示タイミング制御を行うことができ、ユーザーの要望にフレキシブルに対応できる。

【0076】請求項5に記載のタイミングコントローラによれば、障害等により水平及び垂直同期信号及びデータライン信号が供給されない（検出されない）場合でも、擬似データライン信号を生成しているため、液晶表示パネルを交流駆動して黒又は白等の所定の画像

データを表示することができ、液晶表示パネルの各画素の液晶に直流電圧が印加され続けることを防ぐことができる。

【図面の簡単な説明】

【図1】従来の液晶表示装置を示すブロック図である。

【図2】図1に示す従来の液晶表示装置の水平方向の駆動タイミングを示すタイミングチャートである。

【図3】図1に示す従来の液晶表示装置の垂直方向の駆動タイミングを示すタイミングチャートである。

【図4】図1に示す従来の液晶表示装置の1垂直周期期間におけるデータ表示領域とブラंक領域との関係を示す図である。

【図5】本発明の一実施例によるタイミングコントローラを示すブロック図である。

【図6】図5に示す保護回路2.7の構成を示すブロック図である。

【図7】図5に示すタイミング作成回路3.2の動作を示すタイミングチャート（Dフリップフロップ2.0の出力はハイレベルになった場合）である。

【図8】図5に示すタイミング作成回路3.2の動作を示すタイミングチャート（Dフリップフロップ2.0の出力がロウレベルで、AND回路2.4の出力がハイレベルになった場合）である。

【図9】図5に示すタイミング作成回路3.2の動作を示すタイミングチャート（Dフリップフロップ2.0の出力がロウレベルに維持され、AND回路2.4の出力がハイレベルになった場合）である。

【図10】図5に示すタイミング作成回路3.2の動作を示すタイミングチャート（Dフリップフロップ2.0の出力がロウレベルで、AND回路2.4の出力がロウレベルに維持された場合）である。

【図11】図5に示すタイミング作成回路3.2の動作を示すタイミングチャート（Dフリップフロップ2.0の出力がロウレベルで、AND回路2.4の出力がロウレベルに維持された場合）である。

【図12】図5に示すタイミングコントローラの動作を示すフローチャートである。

【図13】図5に示すタイミング作成回路3.2の内部構成を示すブロック図（その1）である。

【図14】図5に示すタイミング作成回路3.2の内部構成を示すブロック図（その2）である。

【図15】図5に示すタイミング作成回路3.2の内部構成を示すブロック図（その3）である。

【図16】図15Fの動作を示すタイミングチャートである。

【図17】本発明の一実施例による1垂直周期期間におけるデータ表示領域とブラंक領域との関係を示す図である。

【符号の説明】

VSYNC 垂直同期信号

HSYNC 水平同期信号

ENAB データイネーブル信号

CLK クロック

DATA 画像データ

ENAB-D1 擬似データイネーブル信号

ENAB-D2 擬似データイネーブル信号

D-CLK データドライブ用クロック

D-SP データドライブ用スタートパルス

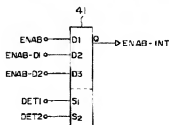
LP ラッチパルス

G-CLK ゲートドライブ用クロック

G-SP ゲートドライブ用スタートパルス

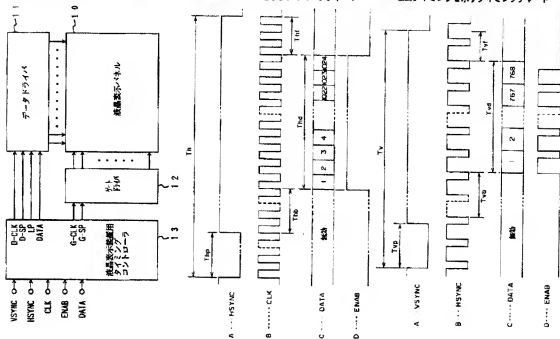
【図13】

図5に示すタイミング作成回路3.2の内部構成を示すブロック図（その1）



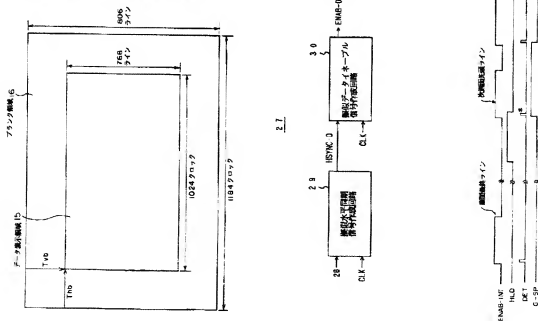
【图 3】

図1に示す従来の液晶表示装置の垂直方向の駆動タイミングを示すタイミングチャート



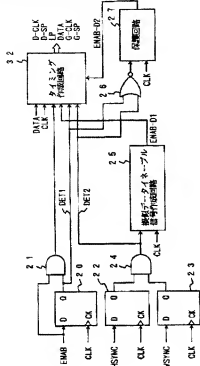
【图 16】

図15Fの動作を示すタイミングチャート



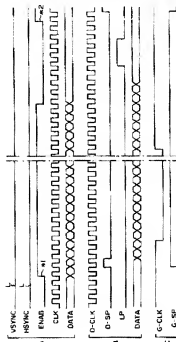
【圖 5】

本発明の一実施例によるタイミングコントローラを示すブロック図



【圖 7】

図5に示すタイミング作成回路32の動作を示すタイミングチャート(Dフリップフロップ20の出力はハイレベルになった場合)



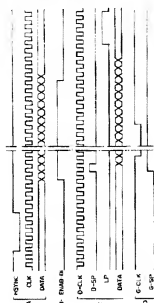
【圖 8】

図5に示すタイミング作成回路32の動作を示すタイミングチャート(Dフリップフロップ20の出力がロウレベルで、AND回路24の出力がハイレベルになった場合)



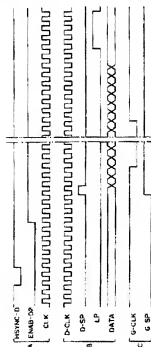
【図9】

図5に示すタイミング作成回路32の動作を示すタイミングチャート
(Dフリップフロップ20の出力がロウレベルに維持され、AND回路24の出力がハイレベルになった場合)



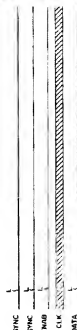
【図11】

図5に示すタイミング作成回路32の動作を示すタイミングチャート
(Dフリップフロップ20の出力がロウレベルで、AND回路24の出力がロウレベルに維持された場合)



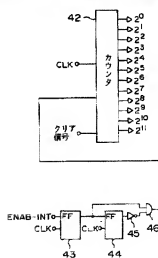
【図10】

図5に示すタイミング作成回路32の動作を示すタイミングチャート
(Dフリップフロップ20の出力がロウレベルで、AND回路24の出力がロウレベルに維持された場合)



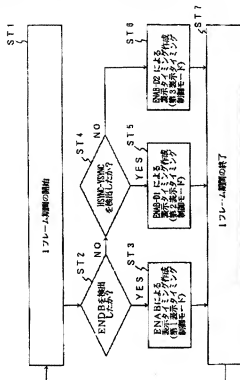
【図14】

図5に示すタイミング作成回路32の内部構成を示すブロック図(その2)



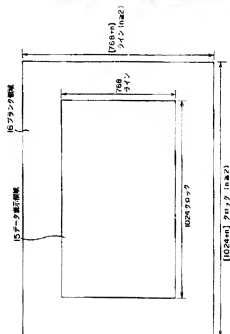
【図12】

図5に示すタイミングコントローラの動作を示すフローチャート



【図17】

本発明の一実施例による1垂直同期期間におけるデータ表示領域とブランク領域との関係を示す図



【図15】

図5に示すタイミング作成回路32の内部構成を示すブロック図(その3)

